

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-014829

(43)Date of publication of application : 20.01.1992

(51)Int.Cl.

H01L 21/3205

H01L 21/76

(21)Application number : 02-118385

(71)Applicant : FUJITSU LTD.

(22)Date of filing :

08.05.1990

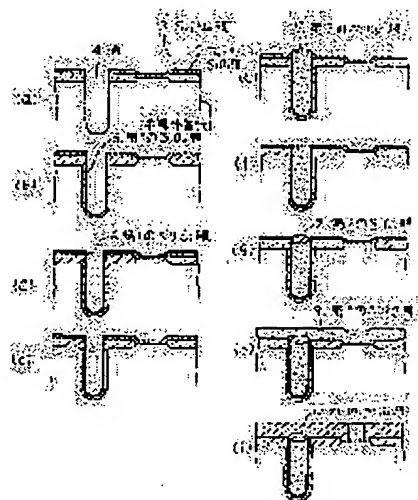
(72)Inventor : KIKUCHI YOSHIBUMI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To obtain a method which does not produce a residue of polycrystalline silicon or the like in the insulation and isolation operation by using a trench by a method wherein the surface of a second poly-Si film inside a groove is oxidized, the second poly-Si film is formed, an Si₃N₄ film is etched and removed wholly and the whole surface of a semiconductor substrate is covered with a third poly-Si film.

CONSTITUTION: By using a mixed gas of trifluorosilane with hydrogen, a second poly-Si film 7 is grown selectively by a CVD method by using a first poly-Si film 6 as a nucleus; a groove 4 is filled completely with the second poly-Si film 7. Then, the second poly-Si film 7 which has been overflowed to the outside from the groove 4 is polished and removed or etched and removed by a polishing operation or an anisotropic etching operation; the surface of an Si substrate 1 is flattened. Then, the surface of the second poly-Si film 7 is oxidized by a thermal oxidation operation. A second SiO₂ film 8 is formed; its surface can be formed in a position which is higher than the surface of a field SiO₂ 2. Consequently, no hollow is produced at the edge of the groove 4.



LEGAL STATUS

⑫ 公開特許公報(A) 平4-14829

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)1月20日

H 01 L 21/3205
21/76

L

6741-4M
6810-4M
6810-4M

H 01 L 21/88

E
P

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 半導体装置の製造方法

⑯ 特 願 平2-118385

⑰ 出 願 平2(1990)5月8日

⑱ 発 明 者 菊 池 義 文 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁 理 士 井 桁 貞 一

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

フィールド酸化膜(2)を有する半導体基板(1)に、窒化シリコン膜(3)及び磷珪酸ガラス膜をマスクとして、溝(4)を形成する工程と、

該溝(4)内の表面を酸化して、第1の二酸化シリコン膜(5)を形成する工程と、

該溝(4)内の表面に第1の多結晶シリコン膜(6)を被覆する工程と、

該溝(4)内の表面の該第1の多結晶シリコン膜(6)を被として、該溝(4)内に第2の多結晶シリコン膜(7)を化学気相成長法により選択成長して、該溝(4)を完全に埋める工程と、

該半導体基板(1)を研磨して、該溝(4)より溢れた第1の多結晶シリコン膜(6)を研磨或いはエッチング除去して、該半導体基板(1)を平坦化する工程と、

該溝(4)内の第2の多結晶シリコン膜(7)の表面を酸化して、第2の二酸化シリコン膜(8)を形成する工程と、

該半導体基板(1)上の該窒化シリコン膜(3)を全面エッチング除去し、該半導体基板(1)上全面に第3の多結晶シリコン膜(7)を被覆する工程と、

該第3の多結晶シリコン膜(7)を選択酸化して、電極配線(9)を形成する工程とを含むことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(概要)

本発明は、半導体装置の絶縁分離技術に関し、トレンチによる絶縁分離の際の多結晶シリコン(ポリSi膜)等の残渣のできない方法を得ることを目的とし、

フィールド酸化膜を有する半導体基板に、窒化シリコン(Si₃N₄)膜及び磷珪酸ガラス(PSG膜)をマスクとして、溝を形成する工程と、該溝内の表面を酸化して、第1の二酸化シリコン(SiO₂)膜を

形成する工程と、該溝内の表面に第1のポリSi膜を被覆する工程と、該溝内の表面の該第1のポリSi膜を核として、該溝内に第2のポリSi膜を化学気相成長法により選択成長して、該溝を完全に埋める工程と、該半導体基板を研磨して、該溝より溢れた第1のポリSi膜を研磨或いはエッチング除去して、該半導体基板を平坦化する工程と、該溝内の第2のポリSi膜の表面を酸化して、第2のポリSi膜を形成する工程と、該半導体基板上の該Si₃N₄膜を全面エッチング除去し、該半導体基板上全面に第3のポリSi膜を被覆する工程と、該第3のポリSi膜を選択酸化して、電極配線を形成する工程とを含むように構成する。

(産業上の利用分野)

本発明は、半導体装置の絶縁分離技術に関する。近年、高密度、高集積度が達成できる素子分離法として、シリコン(Si)基板に溝(トレンチ)を形成し、その内部にポリSi膜等を充填して平坦化する、所謂「トレンチ分離法」が広く用いられ

膜16の表面の酸化による第2のSiO₂膜17の形成というプロセスを順に経て、形成されていた。

(発明が解決しようとする課題)

しかし、この方式では、Si基板11上にフィールドSiO₂膜12等による段差が有る場合に、溝14内の第1のポリSi膜16の表面は、その段差の底面より必然的に低くならざるを得ない。

そのため、第2図(f)に示すように、従来方法で形成したSi基板11上に第2のポリSi膜18を被覆し、第2図(g)に示すように、配線部分のみに図示しないSi₃N₄膜をカバーして、他の部分の第2のポリSi膜18を選択酸化して、第3のSiO₂膜に変換し、配線部分の第2のポリSi膜18によりポリSi配線を形成した場合に、第2図(g)、及び第2図(h)に示すように、溝14のエッジの凹部に沿って、第2のポリSi膜が酸化しきれないで、不要なポリSi膜残渣22として残るといった問題がある。

この時、このポリSi膜残渣22がポリSi膜の電極

ている。

更に、高密度化への要求から、パイボラICにおいても、Si基板上にポリSi膜の配線を形成する場合が出てきた。

(従来の技術)

第2図は従来例の説明図である。

図において、11はSi基板、12はフィールドSiO₂膜、13はSi₃N₄膜、14は溝、15は第1のSiO₂膜、16は第1のポリSi膜、17は第2のSiO₂膜、18は第2のポリSi膜、19は第3のSiO₂膜、20は電極配線A、21は電極配線B、22はポリSi膜残渣である。

従来、トレンチ素子分離法は、第2図(a)に示すように、Si基板11への溝14の形成、次いで、第2図(b)に示すように、その溝14の側壁の酸化による第1のSiO₂膜15の形成、第2図(c)に示すように、溝14内を充填し得る膜厚の第1のポリSi膜16の成長、第2図(d)に示すように、溝14以外の不要部分の第1のポリSi膜16の除去、第2図(e)に示すように、溝14内の第1のポリSi

配線A20と電極配線B21の間をブリッジ状に連結させることとなり、素子としての動作不良、特性不良を引き起こす。

本発明は、上記のような、ポリSi膜の残渣が残らないような手法を得ることを目的として提供されるものである。

(課題を解決するための手段)

第1図は本発明の原理説明図兼一実施例の工程順模式断面図である。

図において、1は半導体基板、2はフィールドSiO₂膜、3はSi₃N₄膜、4は溝、5は第1のSiO₂膜、6は第1のポリSi膜、7は第2のポリSi膜、8は第2のSiO₂膜、9は第3のポリSi膜、10は第3のポリSi膜である。

本発明では、ポリSi膜の選択成長法により、溝内にのみポリSi膜を成長した後、表面の平坦化を行う。

即ち、本発明の目的は、第1図(a)に示すように、フィールドSiO₂膜2を有する半導体基板1

に、 Si_3N_4 膜3及び図示しないPSG膜をマスクとして、溝4を形成する工程と、

第1図(b)に示すように、該溝4内の表面を酸化して、第1の SiO_2 膜5を形成する工程と、

第1図(c)に示すように、該溝4内の表面を含めて、半導体基板1の表面に第1のポリSi膜6を被覆する工程と、

第1図(d)に示すように、該溝4内を残して、半導体基板1表面の第1のポリSi膜6を異方性エッチングにより除去する工程と、

第1図(e)に示すように、該溝4内の表面の該第1のポリSi膜6を核として、該溝4内に第2のポリSi膜7を化学気相成長法により選択成長して、該溝4を完全に埋める工程と、

第1図(f)に示すように、該半導体基板1を研磨して、該溝4より溢れた第2のポリSi膜7を研磨或いはエッチング除去して、該半導体基板1を平坦化する工程と、

第1図(g)に示すように、該溝4内の第2のポリSi膜7の表面を酸化して、第2の SiO_2 膜8を

により、素子分離領域を区画するフィールド SiO_2 膜2を熱酸化法により、6,000 Åの厚さに形成し、次いで、CVD法により、 Si_3N_4 膜3を2,000 Å、図示しないPSG膜を1 μmの厚さに堆積してパターニングする。2,000 Åの厚さに堆積し、パターニングする。

続いて、 Si_3N_4 膜3及びPSG膜をマスクとして、Si基板1をエッチングして、溝4を形成する。

第1図(b)に示すように、熱酸化法により、溝の内壁に、2,000 Åの厚さに第1の SiO_2 膜5を形成する。

第1図(c)に示すように、CVD法により、500 Åの厚さに溝4の内壁を含めて、Si基板1の全面に覆く500 Åの厚さのポリSi膜6を被覆する。

第1図(d)に示すように、RIEによる異方性エッチングを用いて、溝4内を除いて、Si基板1表面のポリSi膜6を全面除去する。

第1図(e)に示すように、トリフロロシラン(SiHCl_3)と水素(H_2)の混合ガスにより、1,000 °CでCVD法により、第1のポリSi膜6を核として、

形成する工程と、

第1図(h)に示すように、該半導体基板1上の該 Si_3N_4 膜3を全面エッチング除去し、該半導体基板1上全面に第3のポリSi膜9を被覆する工程と、

第1図(i)に示すように、該第3のポリSi膜9を選択酸化して、第3の SiO_2 膜10を形成する工程とを含むことにより達成される。

(作用)

本発明では、トレンチ内のポリSiの表面の高さは、基板の段差等には全く影響されず、周辺部分よりも凹となることがないので、ポリSiの配線形成によって、配線間のトラブルが生じない。

(実施例)

第1図は本発明の一実施例の工程順模式断面図である。

第1図により本発明の一実施例を説明する。

第1図(a)に示すように、Si基板1に熱酸化

第2のポリSi膜7を2 μmの厚さに選択成長して、溝4内に第2のポリSi膜7を完全に埋め込む。

第1図(f)に示すように、研磨、或いは異方性エッチングにより、溝4から外部に溢れ出た第2のポリSi膜7を研磨除去、或いはエッチング除去して、Si基板1の表面を平坦化する。

第1図(g)に示すように、熱酸化により、第2のポリSi膜7の表面を酸化して、第2の SiO_2 膜8を形成するが、その表面はフィールド SiO_2 膜2の表面より高い位置に形成できる。従って、溝4のエッジに窪みができることはない。

続いて、第1図(h)に示すように、CVD法により第3のポリSi膜9を被覆し、第1図(i)に示すように、図示しない Si_3N_4 膜をマスクとして、配線形成以外の部分を酸化して、配線絶縁分離用の第3の SiO_2 膜10に変換し、残った第3のポリSi膜9を電極配線として形成する。

(発明の効果)

以上説明したように、本発明によれば、従来方

法で発生していた溝の上部エッジの凹みがなくなり、その部分での配線用のポリSi膜の残渣の発生が防止される。

その結果、半導体基板の他の部分の表面段差に影響されず、安定した溝の表面形状が得られることにより、特性ならびに信頼性の向上に寄与するところが多い。

4. 図面の簡単な説明

第1図は本発明の一実施例の工程順模式断面図、

第2図は従来例の説明図

である。

図において、

1は半導体基板、2はフィールドSiO₂膜、

3はSi₃N₄膜、4は溝、

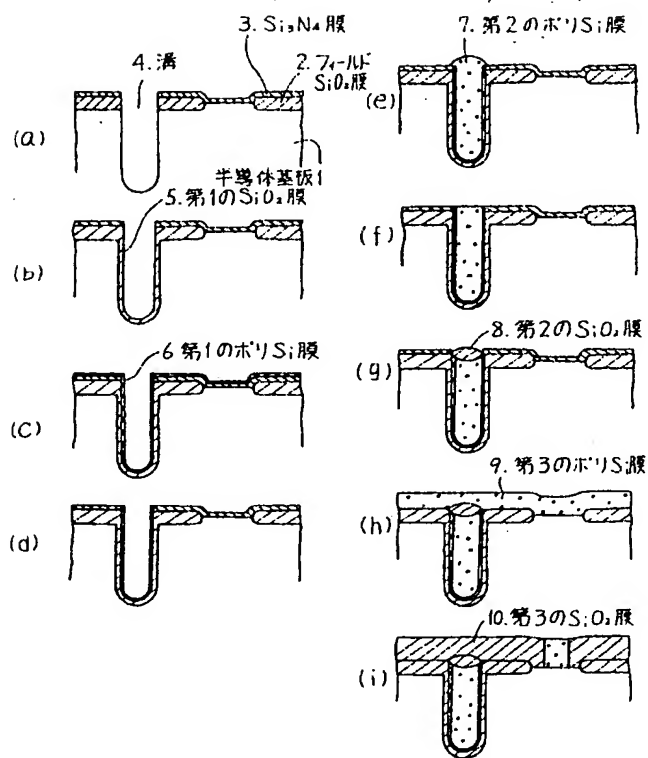
5は第1のSiO₂膜、6は第1のポリSi膜、

7は第2のポリSi膜、8は第2のSiO₂膜、

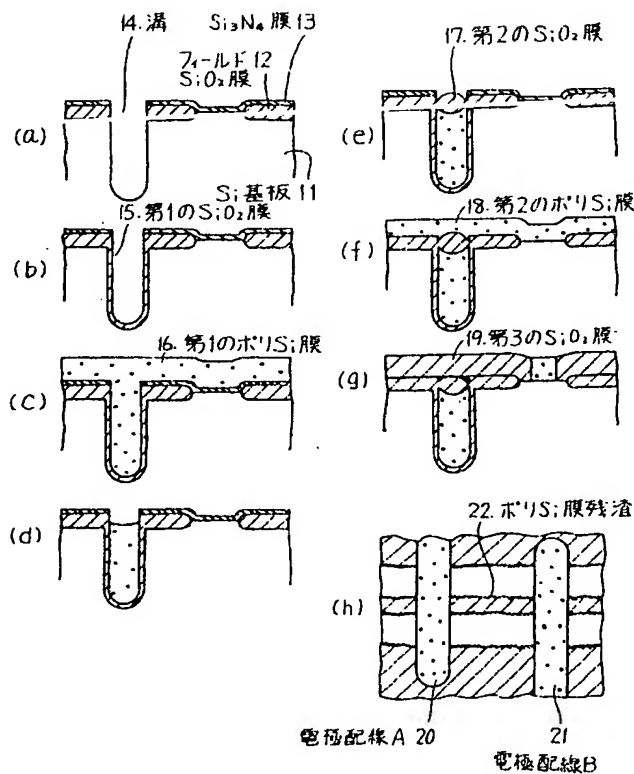
9は第3のポリSi膜、10は第3のSiO₂膜

である。

代理人 弁理士 井桁貞一



本発明の一実施例の工程順模式断面図
第1図



従来例の説明図
第2図